

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-100319

⑤ Int. Cl.:

H 01 L 21/304  
21/306

識別記号

3 0 1 B  
A

庁内整理番号

8831-5F  
7342-5F

⑬ 公開 平成2年(1990)4月12日

審査請求 未請求 請求項の数 7 (全9頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 昭63-254101

⑯ 出 願 昭63(1988)10月7日

⑰ 発 明 者 今 岡 和 典 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内⑱ 発 明 者 藤 沢 洋 一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 桁 貞一 外2名

## 明細書

## 1. 発明の名称

半導体装置の製造方法

## 2. 特許請求の範囲

(1) 半導体基板1に、半導体装置の構成部材となるべき層2を少なくとも一層以上被着形成する工程と、前記の層を被着形成した基板の周縁部を、その端面に下地の半導体基板1が露出するように研削もしくはエッチングする工程とを含むことを特徴とする半導体装置の製造方法。

(2) 前記の研削もしくはエッチングする工程において、基板の周縁部に突起部を残さないように研削もしくはエッチングすることを特徴とする請求項1記載の半導体装置の製造方法。

(3) 前記の研削もしくはエッチングする工程において、基板の周縁部の端面が曲面を呈し、かつ、その面が鏡面状になるように研削もしくはエッチングすることを特徴とする請求項1記載の半導体

装置の製造方法。

(4) 前記の研削もしくはエッチングする工程において、研削もしくはエッチングに先立って、基板の少なくともそこに半導体装置を形成すべき面を覆う保護膜を被着形成することを特徴とする請求項1記載の半導体装置の製造方法。

(5) 前記の研削もしくはエッチングする工程を、半導体装置の配線の製造工程に先立って行うことを特徴とする請求項1ないし4記載の半導体装置の製造方法。

(6) 前記の研削もしくはエッチングする工程を、半導体装置製造のための半導体基板処理工程において、その初期工程から最終工程までの間の3分の1ないし6分の5の範囲で、少なくとも1回行うことを特徴とする請求項1ないし4記載の半導体装置の製造方法。

(7) 前記の研削もしくはエッチングする工程を、半導体基板1に、半導体装置の構成部材となるべき層2を被着形成する毎に行うことを特徴とする請求項1ないし4記載の半導体装置の製造方法。

## 3. 発明の詳細な説明

## (概要)

半導体装置の製造工程において、ウェハ－処理のプロセスの過程で基板に付着する微細な塵などを低減化して、半導体集積回路(1C)などの半導体装置の製造歩留りを向上させるのに好適な半導体装置の製造方法に関し、

プロセス中の半導体基板それ自身からの発塵を抑制することを目的とし、

半導体基板に、半導体装置の構成部材となるべき層を少なくとも一層以上被着形成する工程と、しかる後、前記の層を被着形成した基板の周縁部を、その端面に下地の半導体基板が露出するように研削もしくはエッチングする工程とを含み構成する。

## (産業上の利用分野)

本発明は、半導体装置の製造方法に係り、特にその製造工程のウェハ－処理プロセスにおいて、プロセス中の半導体基板それ自身からの発塵を低減化する方法に関する。近年、半導体集積回路

(1C)の高密度化・高集積化が進められた結果、その最小部分の寸法が $1\mu\text{m}$ 以下の半導体素子や配線構造を有するものが実用化されるに至っている。また、1Cの高集積化に伴って、1チップあたり100万個以上の半導体素子を有するものも実用化され、チップ面積が $70\text{mm}^2$ を超えるものも数多く現れている。このような、1Cの構成要素たる素子の微細化と1Cのチップ面積の大幅な増大に伴い、製造工程における $0.1\mu\text{m}$ オーダーの微細なゴミなどの付着物等に起因する欠陥の多少が、1Cの製造歩留りを大きく左右するようになってきた。

半導体装置の製造歩留りに関係する欠陥の大きさは、半導体装置の最少線巾の5分の1から10分の1程度であることが知られており、例えば、 $1\mu\text{m}$ の線巾を設計の基本とする1Cでは、その大きさが $0.1\sim 0.2\mu\text{m}$ 程度の微細なゴミ等に起因する欠陥を制御しなくてはならない。チップ面積が $20\text{mm}^2$ 程度の1Cの場合、それなりの歩留りを得るには、上にのべた欠陥の密度を

$0.02\text{個}/\text{mm}^2$ 以下にする必要があり、また、チップ面積が $70\text{mm}^2$ 程度になると、同じ歩留りを得るためには、欠陥密度を $0.004\text{個}/\text{mm}^2$ 以下にしないといけないと見込まれている。

そこで、1C等の半導体装置の製造工程の各工程において、ゴミ等の付着物に起因する欠陥を、極力少なくする技術が待望されている。

## (従来の技術)

半導体装置の製造工程のウェハ－処理プロセスにおいて、プロセス中の半導体基板への塵などの付着物を少なくする為の従来の方法は、大きく2つに大別される。

その一つは、半導体基板に直接接触する可能性のある水や空気や薬品などに含まれる微細な塵を少なくする方法で、いわゆるクリーン度を向上させる方法である。

もう一つは、半導体装置の製造工程において、プロセス中の半導体基板とこれを保持するために用いられるウェハ－ホルダーやピンセットなどの治具との接触によって発生する塵を少なくする方

法である。このために、従来は、主として各種治具の直接半導体基板に触れる部分の形状やその材質を最適化して、取り扱う半導体基板にかかる単位面積あたりの力を少なくすることが行われてきた。

一方、プロセスの対象となる半導体基板の方は、半導体装置形成のプロセスに先立って、あらかじめ、治具などと接触する頻度の大きい周縁部を面取り加工することが行われている。しかし、今までは、いったん半導体装置形成のウェハ－処理プロセスにおかれた半導体基板については、その初期工程から最終工程に至るまでの間に、プロセス中の基板からの発塵を防止するために、特に付加工程が施されることはなかった。

第6図は、かかる従来の方法によってMOS集積回路を製造したときのウェハ－処理の最終工程終了後のウェハ－表面上に観察された欠陥のウェハ－面内分布を示す図で、直径6インチのシリコン(Si)単結晶基板に設計ルール $2\mu\text{m}$ のMOS集積回路を形成したとき、ウェハ－表面上に観

察されたその大きさが $0.2\mu\text{m}$ 以上の欠陥の、ウェハ-の直径方向の分布を示したものである。

図から明らかなごとく、ウェハ-の端から約 $15\mu\text{m}$ 程度以上内側の領域では、欠陥密度は $\sim 2 \times 10^{-2} / \mu\text{m}^2$ でほぼ一定であるが、ウェハ-の端部へ行くほど、欠陥密度が大きくなっている。このようにウェハ-の端部で欠陥密度が大きい理由は、ウェハ-端部がプロセス中にウェハ-の保持のための治具に接触した際、第6図に示したごとく、プロセス中にウェハ-端部に付着した各種の膜20がはがれ落ちたり、あるいは、半導体基板10自身が傷つけられたりして、塵が発生し、これが飛散してプロセス中のウェハ-に付着するためであると考えられている。

(発明が解決しようとする課題)

先に述べたように、半導体装置の製造歩留りを左右する欠陥の大きさは、その半導体装置の最小線巾の $1/5 \sim 1/10$ 程度以上のものである。

従って、製造すべき半導体装置の最小部分の寸法が数 $\mu\text{m}$ オーダーの場合は、その製造歩留りに

影響する塵の大きさも例えば $0.5\mu\text{m}$ 程度以上と比較的大きいので、第7図のごとく、たとえウェハ-端で塵が発生しても、製造歩留りを左右するような比較的大きな塵の絶対量もそれ程多くなく、また、かかる大きな塵はその発生源近くのウェハ-端部に沈着するので、その影響がウェハ-の内部にまで及ぶことは少なかった。

しかしながら、その最小線巾が $1\mu\text{m}$ 以下の微細な素子を有する半導体装置の場合、 $0.1\mu\text{m}$ オーダーの微細な塵までもが、その製造歩留りを左右する。かかる微細な塵までも数えると、当然のことながら、その絶対量は多くなる。更に、 $0.1\mu\text{m}$ オーダーの微細な塵は、水や溶剤に容易に懸濁し、又、気流中に浮遊するようになるので、いったん発生すると、その影響は発生源の近傍だけにとどまらずウェハ-の中心部にまで及ぶようになって、ICなどの半導体装置の歩留りをより低下させる。

先に述べたICの高密度化・高集積化に伴ってその構造も複雑となり、多層配線構造を有するよ

うなICの製造においては、10層以上の膜を形成する工程が必要になってきている。このような場合、ウェハ-の端部にも、ウェハ-処理のプロセスが進むにつれて、ポリシリコンなどの半導体膜、二酸化シリコンや窒化シリコンなどの絶縁膜、アルミニウムなどの金属膜が積層して形成される。

ウェハ-端部は、ウェハ-の主面とは異なった結晶面が出ていることもあって、各成膜工程において、平坦な主面に形成された膜に比しその厚さが厚くなるなど膜の異常成長がおこりやすい。積層される膜の数が多くなるに従い、各層の膜厚異常などが累積されていく結果、下地の半導体基板とは異なった形状となって、突起部などを生じるようになる。かかる突起部は、治具との接触によってそこに局部的な力がかかるので、剥落しやすくなっている。また、各層の材質ごとに互いに熱膨張係数も異なるため、各熱処理工程において前記の積層膜に熱応力が繰り返しかかるので、膜が多層になればなるほど、ウェハ-端部では、

治具との接触等によって膜がはがれ易くなる傾向にある。ICのチップ面積の増大に伴って、用いる半導体基板ウェハ-も、より大面積化する傾向にある。これとともに、ウェハ-1枚あたりの重量も増大し、ウェハ-取扱時にウェハ-端部にかかる局部的な力も大きくなってきた。このためウェハ-端部における前記の積層膜の剥落等は、より一層おこり易くなってきている。

こうした事柄があいまって、従来の方法では、ICなどの製造工程において、プロセス中のウェハ-自身からの塵の発生を抑制するのには、おのずと限度があり、これがICの製造歩留りの低下をまねき、ICのより一層の高密度化・高集積化をはばむ大きな要因の一つとなってきた。

本発明は、かかる従来の方法の欠点を解消すべく創作されたもので、ICなどの半導体装置の製造工程において、プロセス中のウェハ-からの発塵を低減化させ、半導体装置の製造歩留りを向上させ、ひいては、ICのより一層の高密度化・高集積化を可能にする技術を提供することを、その

目的とするものである。

(課題を解決するための手段)

この目的は、半導体装置の製造工程において、そのウェハ－処理の過程で、半導体基板に半導体装置の構成部材となるべき層を少なくとも一層以上被着形成した後、前記の層が形成された基板の周縁部を、その端面に下地の半導体基板が露出するように研削もしくはエッチングすることによって達成される。

(作用)

半導体装置の製造工程のウェハ－処理プロセスにおいて、ウェハ－端部に形成された積層膜が、各種治具などとの接触によって剥落する量は、前に述べたごとく積層した膜の数が大きくなるに従って増大する。

本発明では、前記の手段を採ることにより、その製造工程のウェハ－処理プロセスの過程でウェハ－端部に形成され、そのまま継続してプロセスを進めると剥落して塵を発生する可能性のある積層膜構造を、その剥落に先立って研削もしくはエ

ッチングして除去するようにしているので、この除去工程の後には、ウェハ－端部が治具などと接触しても、かかる積層膜の剥落に起因する発塵が低減化される。

また、この研削もしくはエッチングにあたってウェハ－端面に突起物を残さないように、更に、ウェハ－端面が曲面を呈し、かつ、その面が鏡面状になるようにしているので、その後の製造工程において、ウェハ－にその取扱中に局部的な力がかかることがなく、発塵がより一層低減化される。

(実施例)

本発明を、ゲート長が $2\mu\text{m}$ のシリコンMOS型電界効果トランジスタ(MOSFET)とアルミニウム配線を有するICの製造に応用した場合について、本発明を以下に詳しく説明する。

第1図は、本発明の一実施例の工程の要部を模式的に示した図で、図において、1はシリコン基板、2はウェハ－端面の研削に先立って形成された多層膜、3は研削工程の後で形成された膜をそ

れぞれ示している。

半導体基板1としては、直径が6インチの面方位(100)のp型Si単結晶基板を用いた。この基板1に、まず、公知の選択酸化法(LOCOS法)によって素子分離領域となる酸化膜を形成したのち、素子を形成すべき領域に、ゲート酸化膜となるべき二酸化シリコン膜とゲート電極となるポリシリコン膜を公知の手法によって順次積層形成した。ついで、この二酸化シリコン膜とポリシリコン膜の積層膜をフォトリソグラフィとエッチングの手法によってパターンニングして、その巾が $2\mu\text{m}$ のゲート電極構造を形成した。このゲート電極構造をマスクとして、基板にn型不純物である砒素(As)をイオン注入し、しかる後、アニールして不純物を活性化させ、MOSFETのソースおよびドレイン領域を形成した。ついで、層間絶縁膜となるべき珪酸ガラス(PSG)膜を全面に被着形成した。(第1図(a)) このまでの過程で、ウェハ－端部にも二酸化シリコン、ポリシリコン、PSGなどからなる多層膜2

が形成される。なお、ここまでは、通常のMOSFETの製造工程と、基本的には特に変わるところはない。

このあと、素子を形成すべき面のPSG膜の表面に、保護層(図示せず)として厚さ $2\mu\text{m}$ のポジ型フォトレジスト層を公知のスピンコート法で塗布して形成した。この保護層は、以下のウェハ－の周縁部の研削やエッチングの工程において、プロセス中の基板の表面に傷がついたり腐食されたり付着物がついたりするのを防止する為のものである。この保護層としては、研削もしくはエッチング工程終了後、選択的に除去できるものであることが望ましい。ポジ型フォトレジスト層のかわりに、他の樹脂膜や金属膜や絶縁膜なども用いることができる。この保護層を被着形成した後、回転砥石を用いてウェハ－端面に付着した、熱酸化膜、ポリシリコン膜、PSG膜などからなる多層膜2を研削して除去し、ウェハ－の全周にわたって、下地のシリコン基板1が露出するようにした。(第1図(b)) なお、回転砥石を使

ってウェハー端部を研削する方法および装置は、特開昭62-154614号公報に開示されている。研削量は、元のウェハーの周縁の端から、0.5~20mmの範囲で変化させた。研削の際、ウェハー端部に膜が異常成長した突起部が残らないようにし、その端面の形状は、通常の半導体基板の面取り加工に準じて、端面がラウンド面で鏡面状になるようにした。ウェハー端面を鏡面状とするためには、回転砥石を使った研削のあと、弗酸・硝酸系のエッチング液でエッチングすることが効果的であった。なお、研削工程における保護層として用いたフォトリソは、この弗酸・硝酸系のエッチング液に対しても耐性があるためエッチングのマスクとしても機能するので、このエッチングの工程で、端面に露出している部分以外のPSG膜やシリコン基板が腐食することはない。研削のあと、基板ウェハーに付着した研削材や削り落とされたウェハーの粉末等を、脱イオン水で十分洗浄して除去したのち、公知の酸素プラズマによるアッシング処理を施して、不要と

なったフォトリソ層を灰化して除去した。なお、この工程では、いわゆるレジスト剝離液を用いてウェット処理して、不要となったフォトリソ層を除去することもできる。

このあと、再び通常のMOSFETの製造工程に準じて、まず、層間絶縁膜としてのPSG膜の表面にあらためてフォトリソ層を塗布し、フォトリソグラフィとエッチングの手法によって、ソースおよびドレイン領域に達する電極接続用のコンタクト窓を形成した。この上に、電極および配線となるべきアルミニウム合金(Al-Si; 2%Si)をスパッタ法によって被着形成し、これをパターニングして配線層を形成した。そして最後に、パッシベーションのためにPSGと窒化シリコンからなる積層膜を形成して、ウェハー処理を終了した。(第1図(c))

以上の方法によってウェハー処理したウェハーの表面上の、その大きさが0.2μm以上の欠陥をパーティクルカウンターを用いて計数した。

第3図は、ウェハー端の研削量とウェハーの中

心部での上記の欠陥の密度との関係を示す図である。欠陥密度は、ウェハー端部を全く研削しない(即ち従来法に相当)場合は、ウェハーの中心部で約 $2 \times 10^{-2} / \text{mm}^2$ であったが、ウェハー端部をウェハー処理プロセスの途中で、端からわずか0.5mm程度研削しただけで、ウェハーの中心部での欠陥密度は従来法のその約1/2にまで減少し、端から10mm研削すると、欠陥密度は研削なしの従来法のときの約1/4の $\sim 5 \times 10^{-3} / \text{mm}^2$ に減少した。なお、研削量を15mm、及び20mmと増やしても、ウェハー中心部での欠陥密度に顕著な変化はみられなかった。

第4図は、研削量が5mmのウェハーにおける欠陥のウェハーの直径方向の分布を、従来の研削なしのウェハーのそれと比較して示した図である。図から明らかなごとく、本発明の方法によるウェハーでは、ウェハー端部の研削の工程でその直径が10mm小さくなったにもかかわらず、ウェハー内の欠陥の少ない領域の面積は減少することなく、しかも、全体としての欠陥密度が小さくなって

いる。研削工程の有無のほかは、治具や薬品も全く同じものを用いているので、本発明の方法が従来法に比べて欠陥密度が少なくなったのは、やはり、プロセス中のウェハー自身からの発塵が抑制されたことに起因するものと考えられる。

第5図は、他のプロセス条件は先の実施例と全く同じにして、ウェハー端部を研削する工程の位置を、初期工程から最終工程の間でかえて、製造工程における研削工程の位置と最終工程終了後のウェハーの欠陥密度との関係を調べた結果を示す図である。前記の配線形成工程の前の研削は、図の第60工程のデータ点に相当する。

図から明らかなごとく、90工程からなるウェハー処理の全工程において、ウェハー端の研削工程を、その初期工程から1/3から5/6までの範囲で1回行くと、欠陥密度を従来の方法のその約1/2以下にすることができる。

かかる、ウェハー端部の研削工程を、ウェハー処理の全工程のどこで行うかは、ウェハー処理プロセス全体の流れからみた作業効率とその効果の

程度を勘案して適宜設定することができる。少量多品種生産が必要とされる半導体装置の製造においては、通常、配線構造を形成する前の段階までウェハー処理したものをストックしておき、配線のパターンを変えることによって多量の異なる機能をもつ半導体装置を形成する方法が採られるので、本発明の特徴であるウェハー端部の研削工程は、この配線形成工程に先立って行うことができる。また、第3図に示したごとく、研削量を多くすることは、ウェハーからの発塵防止の観点からは何等の不都合もないので、例えば、直径6インチの半導体基板を用いて配線を施すべき半導体素子等を形成しておき、このウェハーを上記の研削の段階で、ちょうど直径が5インチもしくは4インチとなるように研削すれば、その後の配線形成工程を既存の5インチもしくは4インチウェハーの製造ラインを用いて行うことができる。こうすると、あえて大面積ウェハーの製造ラインを用いる必要のないような少量多品種の半導体装置の製造を効率良く行うことができ

る。また、配線を施す前までの処理は、共通の大きさの半導体基板を用いて大量生産することができ、生産効率の向上と生産の自由度がそれだけ大きくなるという利点もある。

大量生産品種の製造においては、初期工程から最終工程まで同一の製造ラインを用いれば良いことは、もとより言うまでもない。

以上の実施例では、ウェハー処理の過程で1回だけウェハー端部の研削を行った例を示したが、この研削工程を必要に応じて複数回行ってよいことは、自明である。特に、発塵防止の観点だけから見れば、各種の膜の成膜工程ごとに、かかる処理をすることが効果的であることも、また、言うまでもない。

また、本実施例では、ウェハー端の全周にわたって研削を行ったが、治具などと直接接する機會の少ない部分は研削しないようにすることもできる。こうすると、研削の工程が簡略化でき、生産効率が向上するという利点がある。

第2図は、本発明の他の実施例の工程の要部を

模式的に示した図で、第1図と共通する部材には同一の番号を附してある。

この実施例が、先に述べた実施例とことなるところは、ウェハー端部に付着した多層膜2を除去するのに、回転砥石による研削のかわりに、エッチングするようにしたことである。先の実施例と全く同一の手順で、シリコン基板1に、素子分離領域、ゲート電極構造、ソースおよびドレイン領域、層間絶縁膜としてのPSG膜を順次形成する。(第2図(a))この段階で、ウェハー端部にはやはり二酸化シリコン、ポリシリコン、PSGなどから成る多層膜2が形成される。ついで、先の実施例と同様にフォトリソからなる保護層(図示せず)を被着形成した後、弗酸系エッチング液や弗酸・硝酸系エッチング液等を用いて各々の膜を順次エッチングして下地のシリコン基板1が露出するまでエッチングする。(第2図(b))この際、半導体装置を形成する面だけに前記の保護層を被着形成しておくことと気相成長などでウェハーの裏面に付着した不要の膜も同時に除去するこ

とができる。このあとは、先の実施例と同様に保護層を除去したあと配線構造を形成して、半導体装置を完成する。(第2図(c))

ウェハー端部から約5mmの領域をウェハーの全周にわたってエッチングしてみたところ、先に述べた研削で端から5mm除去したのと同等の発塵防止の効果があることが確認された。

エッチングに、選択性のあるエッチング液を用いると、元の基板の面でエッチングを止めることができ、研削する場合のようにウェハーの直径がその都度小さくなることがないので、特に、最初から最後まで同一の製造ラインを使って製造するような半導体装置の製造では好都合である。

また、エッチングでは、研削材などそれ自身が塵の原因となるものを使用しないので、ウェハー処理をすべてクリーン度の高い状態で行うことができるので、工程管理が容易になるという利点もある。なお、エッチング液を用いるウェットエッチングのかわりにドライエッチングを用いてもよいことは言うまでもない。

また、以上の実施例では、MOS集積回路の製造についてだけ記載したが、本発明の原理から、その応用はMOS集積回路の製造にとどまらず、ひろく半導体装置の製造工程に応用することができる。

〔発明の効果〕

本発明によれば、半導体装置の製造工程において、プロセス中のウェハー端部に形成され、ウェハーを取り扱う過程で治具等に接触した際それが剥落して半導体装置の製造歩留りの低下をひき起こす塵を発生させる源である積層膜構造の付着物を、その剥落に先立って、研削もしくはエッチングして除去するようにしているので、この研削あるいはエッチングの工程の後には、ウェハー端部が治具などと接触しても発塵が抑制される。

その結果、特に高密度化・高集積化したICなどの半導体装置の製造歩留りが向上し、ひいては半導体装置のより一層の高密度化・高集積化がはかれるという効果がある。

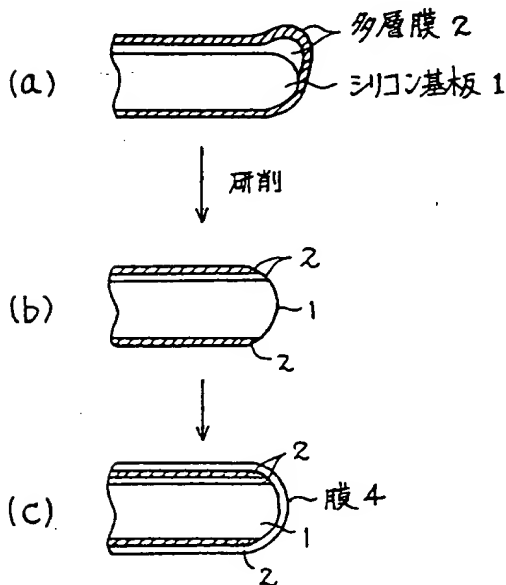
4. 図面の簡単な説明

第1図は本発明の一実施例の工程の要部模式図、第2図は本発明の他の実施例の工程の要部模式図、第3図はウェハー端研削量と欠陥密度の関係を示す図、第4図は本発明の一実施例のウェハーにおける欠陥のウェハー面内分布を示す図、第5図はウェハー端研削工程のウェハー処理工程における位置と欠陥密度の関係を示す図、第6図は従来の方法のウェハーにおける欠陥のウェハー面内分布を示す図、第7図はウェハー端での発塵の機構を示す図である。

図において、

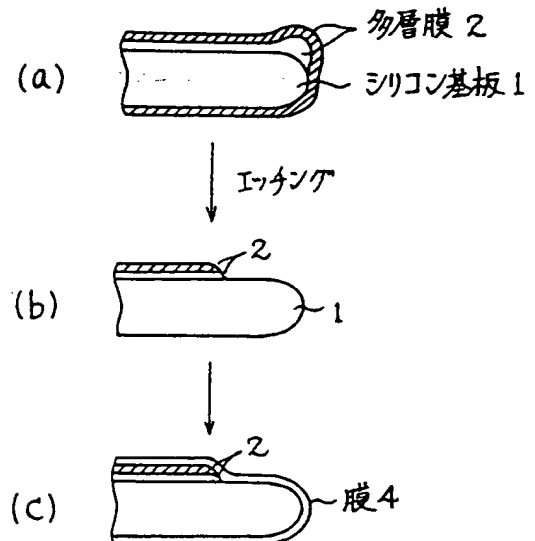
- 1, 10 は シリコン基板、
- 2, 20 は 多層膜、
- 4 は 膜、
- 40 は 剥落部分、
- 50 は 塵、
- 60 は 付着物

を、それぞれ示している。



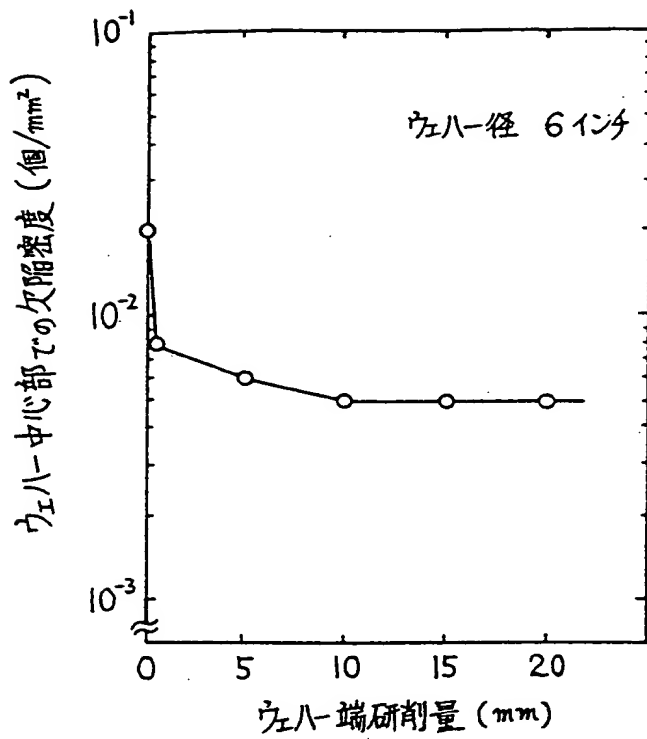
本発明の一実施例の工程の要部模式図

第1図

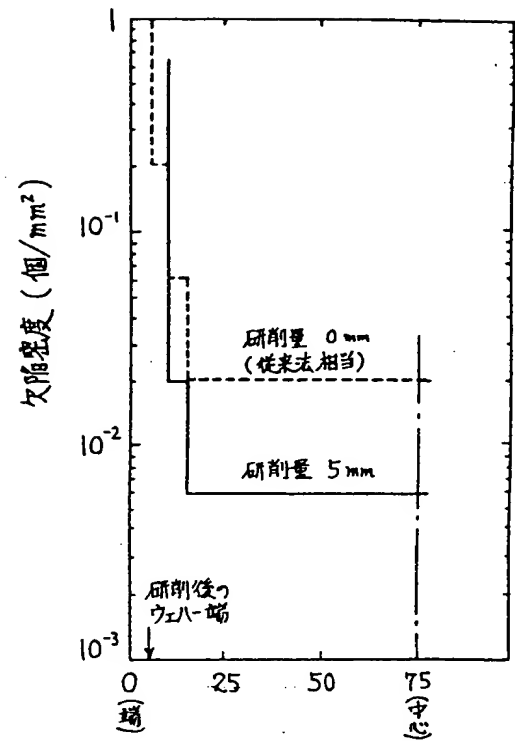


本発明の他の実施例の工程の要部模式図

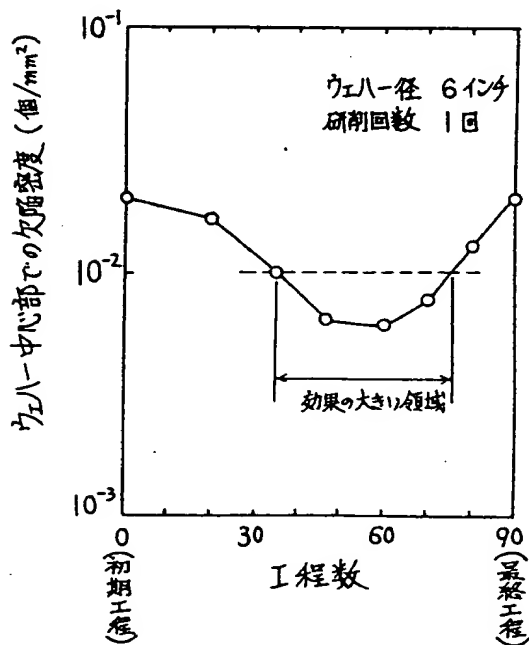
第2図



ウェハー端研削量と欠陥密度との関係を示す図  
第3図

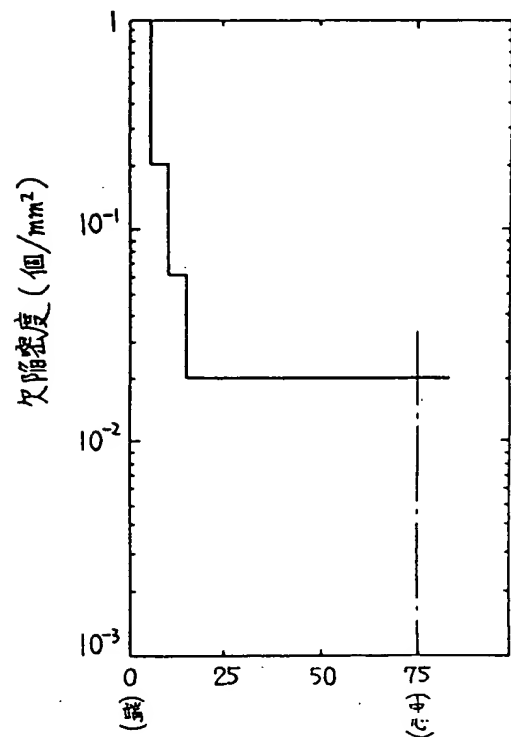


本発明の一実施例のウェハーにおける欠陥のウェハー面内分布  
第4図



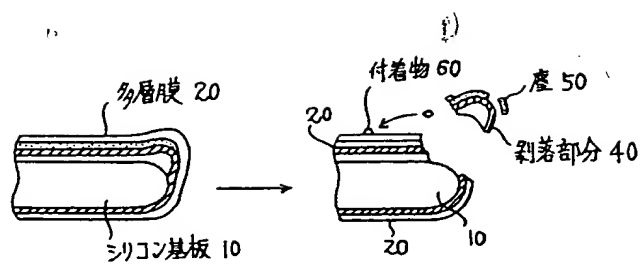
ウェハー端研削工程のウェハー処理工程における位置と欠陥密度の関係を示す図

第5図



従来の方法のウェハーにおける欠陥のウェハー面内分布  
第6図





ウエハー端での発塵の機構を示す図

第7図

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**